

Capítol 4

Modulació PWM

En el present capítol es documenta tot el disseny de la part de modulació PWM realitzada per aconseguir les vuit senyals de polsos que excitaran els vuit transistors MOSFETs. Per això ha estat necessari prèviament la conversió d'àudio analògic a digital, ja que obtenim el so a partir de qualsevol reproductor convencional. Un cop tenim la senyal digital i en format estàndard internacional, l'I2S, es modularà mitjançant una FPGA programada amb el llenguatge d'alt nivell VHDL. A més, s'haurà de tenir en compte que aquesta modulació no provoqui cap estat prohibit dels transistors, ja que podria crear un curtcircuit en el bus de continua, per això també s'han de tenir en compte els temps morts a l'apagada de cada transistor. El codi en VHDL ha estat implementat per un company del departament d'electrònica específicament per a aquest projecte, i no s'explicarà el codi ni la metodologia emprada, només comprovarem el correcte funcionament de la modulació mitjançant algunes simulacions per a diferents condicions.

4.1. CONVERTIDOR AD D'ÀUDIO

Com es va comentar al inici del Capítol 3 i seguint l'esquema general de la Figura 3.2. en aquest capítol entrarem en detall en com s'ha desenvolupat la part de la modulació digital d'un senyal d'àudio analògic per tal de aconseguir les vuit senyals modulades distintes i els seus temps morts.

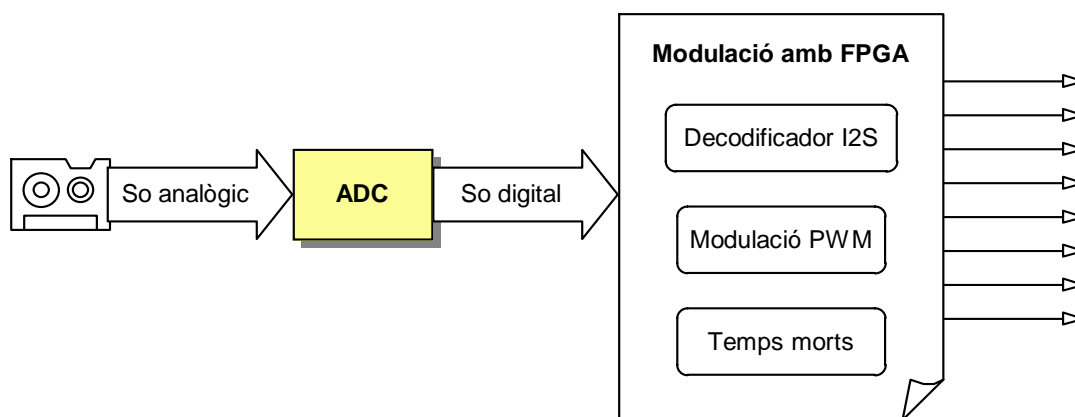


Figura 4.1. Bloc a desenvolupar en aquest apartat, ADC.

Degut a que tot el processat per a la modulació es fa completament en digital mitjançant una FPGA cal prèviament transformar el senyal que ens ve d'un reproductor d'àudio en so digital per poder treballar amb el senyal, per tant, aquest convertidor AD també juga un paper important en la part de la modulació.

Després de comparar diversos models de diversos fabricants (Phillips, Texas Instruments, Cirrus, NXP) es va decidir emprar el model AD CIRRUS LOGIC CS5364 degut a la seva bona relació qualitat – preu. Les seves característiques es mostren en la Taula 4.1. i a la Figura 4.2. es pot contemplar l'esquema intern del convertidor.

Resolució (bits)	Rang dinàmic	THD+N (dB)	Freq. Mostreig (KHz)	Entrades analògiques	Alimentació (V)	Encap.
24	114	-105	216 màx.	4 diferencials	$V_A = 5;$ $V_D = 3.3 \text{ a } 5;$ $V_{LS}/V_{LC} = 1.8 \text{ a } 5$	48 LQFP

Taula 4.1. Taula de característiques del ADC Cirrus CS5364.

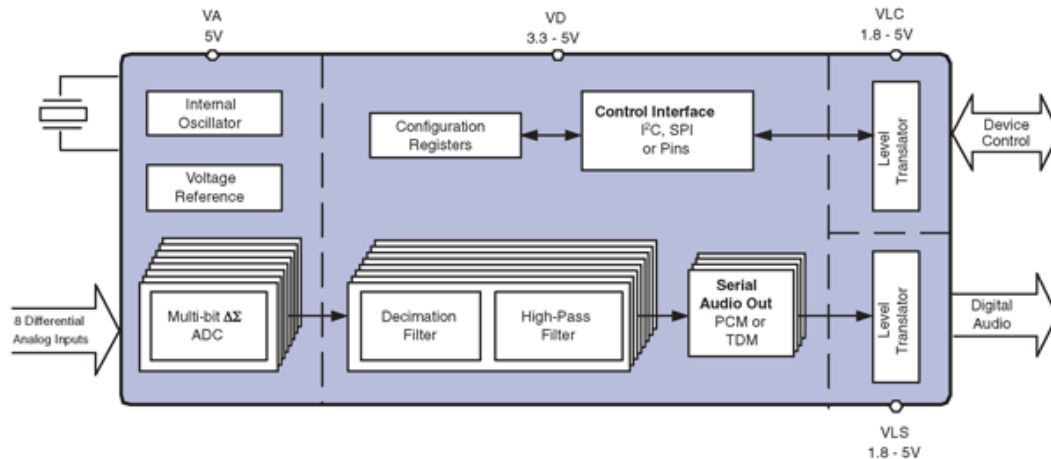


Figura 4.2. Esquema intern del ADC Cirrus CS5364.

Està compost per una entrada de 4 canals en mode diferencial mostrejats en sèrie a una freqüència màxima de 216KHz per canal, encara que permet varis modes de funcionament, configurables amb els pins M0 i M1, com es mostra a la Taula 1.1. Té una resolució en la codificació de 24 bits i formats d'àudio digital sèrie, com I2S, LJ o TDM.

M1	M0	Mode	Rang freqüencial
0	0	Single – Speed Master Mode (SSM)	2KHz – 54KHz
0	1	Double – Speed Master Mode (DSM)	54KHz – 108KHz
1	0	Quatruple – Speed Master Mode (QSM)	108KHz – 216KHz
1	1	Auto – Speed Master Mode (ASM)	2KHz – 216KHz

Taula 4.2. Configuració pins del ADC per diferents freqüències de mostreig.

Per a la entrada de l'FPGA s'ha elegit emprar el format estàndard I2S (Inter IC sound) i freqüència de mostreig de 192KHz (QSM), que restringirà la freqüència de commutació del nostre amplificador, per tal de que es compleixi la següent relació:

$$f_c = f_s \quad (4.1)$$

Ja que interessa per simplicitat tenir un període de modulats igual al període de mostreig. Si fos d'una altre forma tindria o informació de sobra (p.e. dos períodes per cada valor d'un mostreig, o imprecisa (p.e. un període i mig per valor de mostra).

4.2. MODULACIÓ AMB LA FPGA

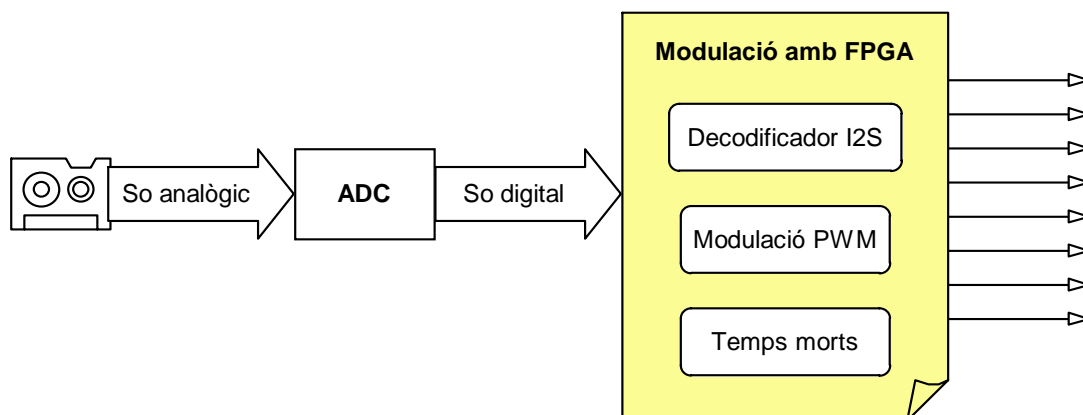


Figura 4.3. Bloc a desenvolupar en aquest apartat, Modulació amb FPGA.

A l'hora d'implementar un sistema electrònic digital, un dissenyador disposa d'un gran conjunt de tecnologies. Una de les més populars actualment són els dispositius de lògica programable (PALs, PLDs, FPGAs, ...). Els dispositius de lògica programable més versàtil és l'FPGA (*Field programmable Gate Array*). Internament, una FPGA està composta per un conjunt de blocs iguals (CLBs) col·locats de forma regular. Cada bloc conté petites memòries RAM i *flips – flops* que es poden configurar per aconseguir tot tipus de circuits combinacionals i seqüencials de petita escala. La programació de l'FPGA es realitza mitjançant una comunicació sèrie anomenada "*bitstream*", que pot ser emmagatzemada a una memòria externa, com una PROM, RAM, EEPROM, o venir d'un altre sistema, com un PC, un microcontrolador, etc.

La tecnologia de l'FPGA permet realitzar dissenys a mesura, de baix cost de desenvolupament i inclús produint poques unitats. Es per això que és una opció molt interessant per a la realització de prototipus, i més en el camp docent.

Així doncs, per aquest projecte s'ha programat una FPGA per a que realitzi la modulació de l'àudio. La FPGA escollida ha estat la ECP2 – 50E de *Lattice Semiconductor*, programat amb el ispLever 7.1 com entorn de treball, Synplify Pro com a sintetitzador i Aldec – VHDL com a simulador.

Tal com s'ha dit a la introducció de aquest capítol, la programació amb llenguatge VHDL s'ha implementat per a aquest projecte però no realitzada per mi, sinó per un company del departament d'investigació, especialitzat en telecomunicacions, amb el qual s'ha treballat conjuntament en aquest apartat.

La següent figura mostra un diagrama de blocs interns de la FPGA de forma reduïda.

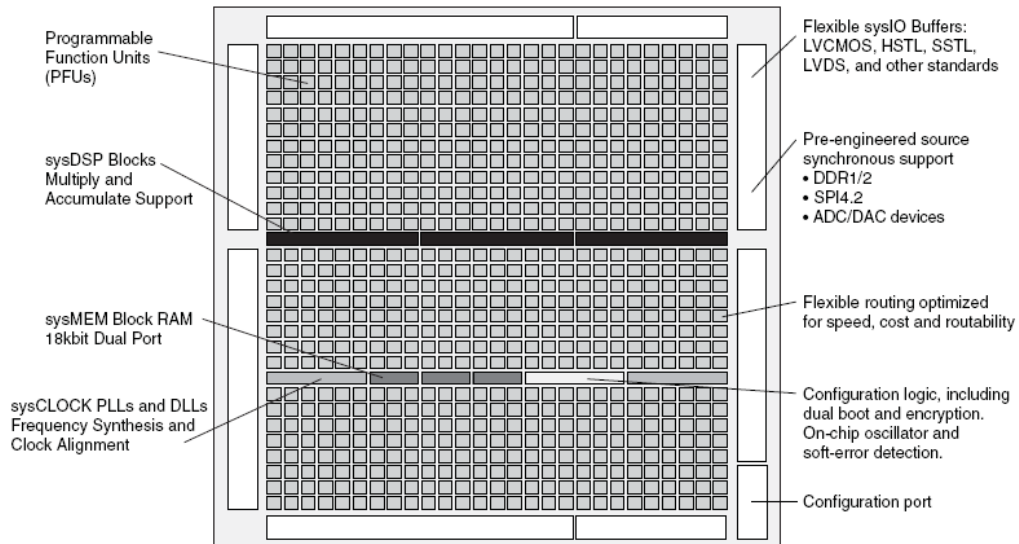


Figura 4.4. Blocs interns de la FPGA ECP2 – 50E.

4.2.1. Decodificador I2S (Inter – IC Sound, I2C)

o *Introducció al I2S*

Philips semiconductors va ser el desenvolupador d'aquest protocol de comunicació sèrie exclusivament per a àudio digital, convertint-se en un estàndard. Actualment és emprat en lectors de compact discs, processadors d'àudio, televisió digital, etc.

El bus està compost per 3 línies, un mestre i un esclau. Una d'aquestes línies és el *Clock* (SCK), comú per ambdós i generat pel mestre. La segona és *Word Select* (WS), també generat pel mestre i en la que es diferencia si la data d'àudio pertany al canal esquerra o dret (parlant d'àudio estèreo). I la tercera i última és la línia de dades o *Signal Data* (SD), enviada pel transmissor cap al receptor, que ho poden ser tant el mestre com l'esclau. A la Figura 2.2. es mostra juntament amb l'esquema d'emissor – receptor, un exemple de la transferència de dades pel bus de 3 línies.

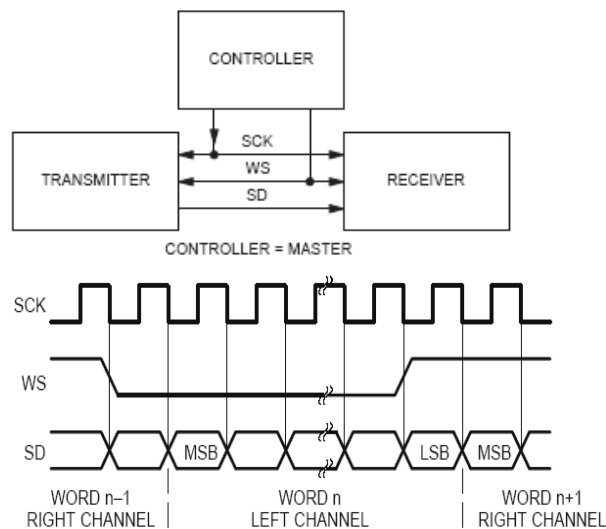


Figura 4.5. A l'esquerra l'esquema de la comunicació i a la dreta la transmissió de les tres línies del bus I2S.

o *Decodificació*

La FPGA no porta un clock propi, i s'ha emprat el *MasterClock* del convertidor AD, que té una freqüència de 12.288 MHz (no és la mateixa línia que la SCK a 192KHz). A la FPGA també li entraran les tres senyals del protocols I2S, les quals s'han de sincronitzar amb el clock de la FPGA per poder llegir correctament les línies WS i SDA. En aquest cas sincronitzarem els flancs de pujada del SCK i les dades SDA passaran a un registre del MSB al LSB (formant la paraula PCM). Finalment, quant es rebí un flanc de pujada del WS indicarà que les dades rebudes eren del canal esquerra, i mitjançant un flanc de pujada a la sortida indicarem que la paraula PCM ha estat rebuda correctament i llesta per ser processada.

La dada del canal dret es descartarà, ja que com s'ha dit a la introducció, no te sentit el so estèreo en megafonia.

4.2.2. Mòdul PWM

La modulació realitzada en aquest bloc és del tipus UPWM (Uniform Pulse Width Modulation), el qual té una freqüència fixa i un cicle de treball variable. La generació PWM digital està quantitzada en temps amb la mateixa resolució que està quantitzada l'amplitud de la senyal d'entrada PCM, aquesta etapa està composta per un comptador binari síncron de n bits, un registre de n bits i un registre PCM (Figura 4.6.).

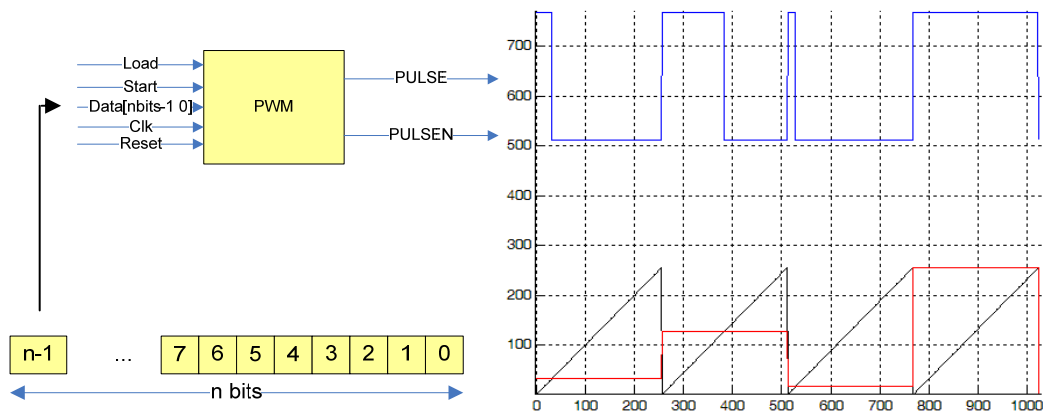


Figura 4.6. Esquema de la modulació PWM mitjançant la comparació del registre de la paraula PCM i un comptador. En la gràfica: en blau la sortida modulada, en negre el valor del comptador i en vermell la paraula d'entrada PCM.

La sortida donarà una tensió alta (un “1” binari) fins que el comptador arribi a ser igual que el valor de la paraula PCM que ha arribat per la dada d'àudio digital. Després passarà a valer “0” fins el final del període. De tota la paraula PCM només emprarem els 10 bits MSB i l'ús de cada un d'ells es detallarà a l'apartat 4.2.3.

El cicle de treball (Duty cycle) vendrà determinat per la relació entre el valor màxim del comptador i el valor del registre, com es mostra a la següent equació:

$$D = \frac{\sum_{i=0}^{nbits-2} b(i) \cdot 2^i}{2^{nbits}}, \quad 0 \leq D \leq 1 \quad (4.2)$$

Degut a que s'obté el cicle de treball mitjançant el comptatge (depenent del nombre de bits emprats en la codificació) la freqüència del clock haurà de ser proporcional en aquests n bits i a la freqüència de commutació del ADC, el que provoca la següent relació:

$$\frac{f_{clk}}{f_{com}} = 2^{nbits}, \quad \text{o també} \quad T_{clk} = T_{com} \cdot 2^{nbits} \quad (4.3, 4.4)$$

La freqüència del rellotge a la que l'FPGA pot treballar està limitada a 300MHz, per lo que quan es fixi la freqüència de commutació el nombre de bits de resolució s'haurà de vigilar no sobrepassar-la. La següent taula mostra les

freqüències permeses pel dispositiu en color verd, en groc la escollida per treballar en el projecte i en vermell, les que sobrepassen el límit de 300MHz.

		Freqüències de commutació		
		48 KHz	92 KHz	192 KHz
Nombre de bits	4	768000	1536000	3072000
	6	3072000	6144000	12288000
	8	12288000	24576000	49152000
	10	49152000	98304000	196608000
	12	196608000	393216000	786432000
	16	3145728000	6291456000	12582912000

Taula 4.3. Freqüències (Hz) del rellotge de la FPGA en funció de la f_{com} i n bits de la codificació.

Com es veurà en el següent apartat, per a la modulació de 5 nivells emprarem els 10 bits més significatius de la paraula PCM, i la codificació ADC treballarà a una freqüència de commutació de 48KHz, per tant, el clock de la FPGA hauria de ser de 196.608KHz. Tal com s’ha explicat abans, el *MasterClock* que li entrem a la FPGA només és de 12,288 MHz, per lo que ens caldrà emprar un PLL (phase – Looocked Loop) per tal de multiplicar aquesta freqüència.

4.2.3. Modulació per a cinc nivells

- o *Descripció del bloc*

Aquest bloc inclou els dos submòduls comentats en els apartats anteriors, el decodificador I2S i el generador de PWM. Aquest simplement es basa en la taula de codificació dels vuit elements commutadors del Capítol 2 (Taula 2.4) en funció del valor de la modulació actual.

El procés complet es mostra en la Figura 4.7. Un cop es pren una mostra de la senyal d’audio, aquesta passa a ser una paraula PCM de 24 bits, dels quals se n’aprofiten 10 aconseguint la modulació de cinc nivells. El rang de tensió complet de l’amplificador es divideix en quatre zones, *High*, *Mid High*, *Mid Low* i *Low*, i emprarem els dos primers bits MSB de la paraula {E1, E0} per a diferenciar – les. Els vuit bits restants s’empraran per establir el *Duty Cycle* de la zona en qüestió.

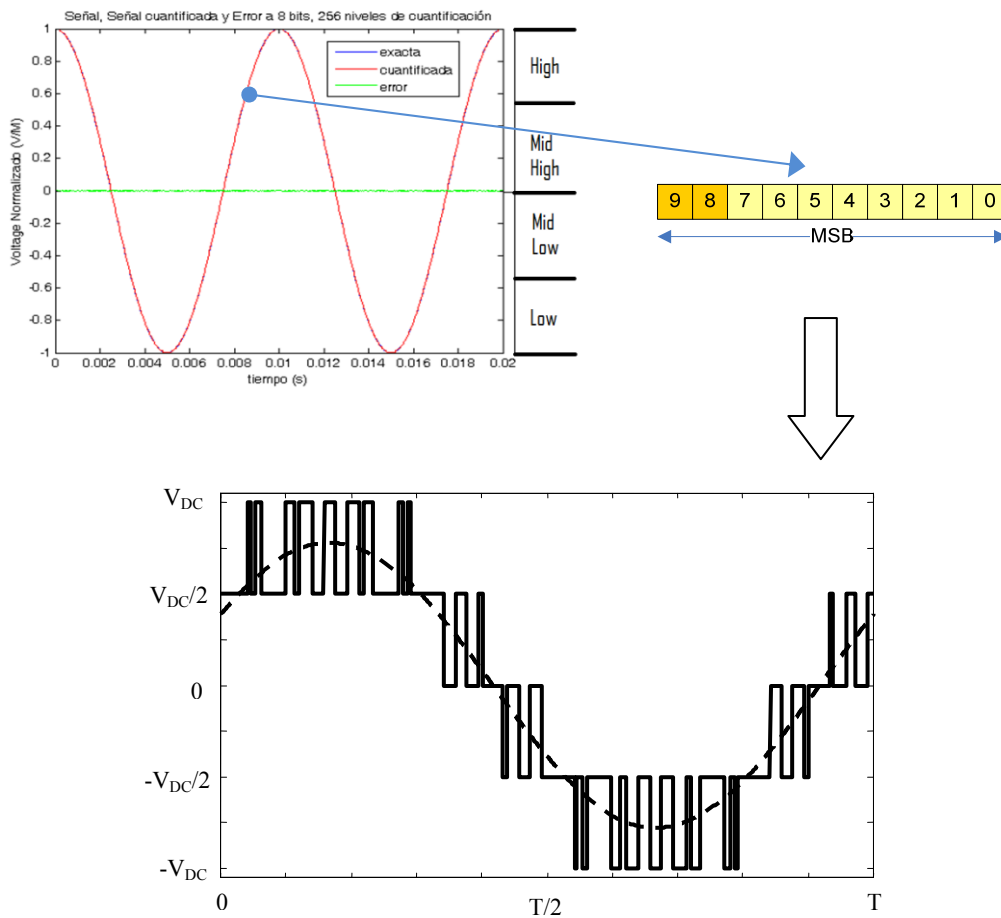


Figura 4.7. Esquema il·lustratiu de la modulació de cinc nivells.

Així doncs, el *Duty Cycle* ve descrit com:

$$D = \frac{\sum_{i=0}^{n-3} b(i) \cdot 2^i}{2^n} \tag{4.5}$$

I la tensió de sortida ve determinada per la següent expressió en funció de la paraula i el Duty cycle:

$$\begin{aligned} V_{OUT} = & E_1 \cdot E_0 \cdot \left(D \cdot (V_S - 0) + \bar{D} \cdot \left(V_S - \frac{V_S}{2} \right) \right) + \tag{4.6} \\ & + E_1 \cdot \bar{E}_0 \cdot \left(D \cdot \left(V_S - \frac{V_S}{2} \right) + \bar{D} \cdot \left(\frac{V_S}{2} - \frac{V_S}{2} \right) \right) + \\ & + \bar{E}_1 \cdot E_0 \cdot \left(D \cdot \left(\frac{V_S}{2} - \frac{V_S}{2} \right) + \bar{D} \cdot \left(\frac{V_S}{2} - V_S \right) \right) + \\ & + \bar{E}_1 \cdot \bar{E}_0 \cdot \left(D \cdot \left(\frac{V_S}{2} - V_S \right) + \bar{D} \cdot (0 - V_S) \right) \end{aligned}$$

On:

$$E_1 = b(n - 1); \quad E_0 = b(n - 2); \quad (4.7)$$

Per a passar d'aquesta modulació dels quatre nivells a l'engegada o no dels vuit transistors es dissenya amb un simple *Case* amb el llenguatge d'VHDL. Un exemple es mostra en la següent Taula.

		Bit	Valors	Significat
MSB		E1	1	Nivell <i>MidHigh</i> de les quatre zones
		E0	0	
LSB		7..0	FF hex	Màxim valor d'aquesta zona
		Transistor	Estat	Significat
Elements commutadors		Q1	0	Apagat
		Q2	1	Engegat
		Q3	1	Engegat
		Q4	0	Apagat
		Q5	0	Apagat
		Q6	0	Apagat
		Q7	1	Engegat
		Q8	1	Engegat
Tensió resultant				$+V_{DC}/2$

Taula 4.4 Combinació de transistors en funció de la modulació i la tensió de sortida resultant.

o *Simulacions*

Les següents simulacions mostren el correcte funcionament del modulador de 5 nivells en tres casos distints, en l'estat *High – Mid High* (Figura 4.8.), el *Low – Mid Low* (Figura 4.9.) i l'estat *Mid High – Mid Low* (Figura 4.10.). On Iq1..Iq8 representen els transistors, wave_out la paraula PCM i status_mod_left el nivell corresponent.

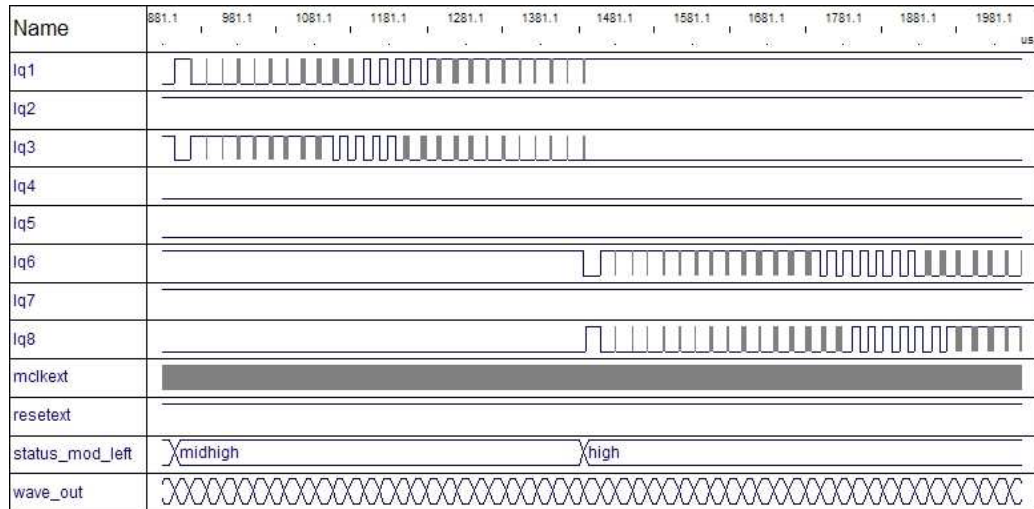


Figura 4.8. Simulació de la modulació de 5 nivells en l'estat Hig – Mid High.

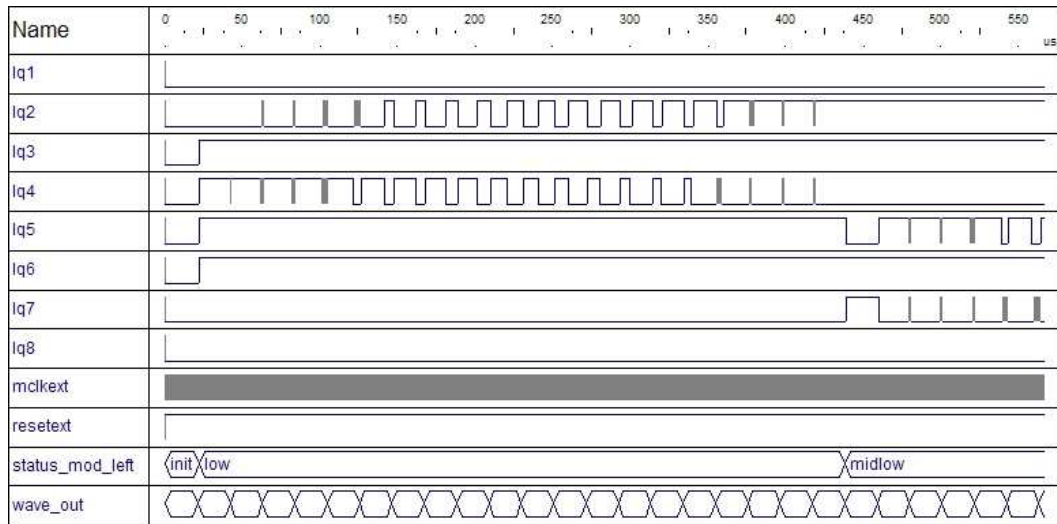


Figura 4.9. Simulació de la modulació de 5 nivells en l'estat Low – Mid Low.

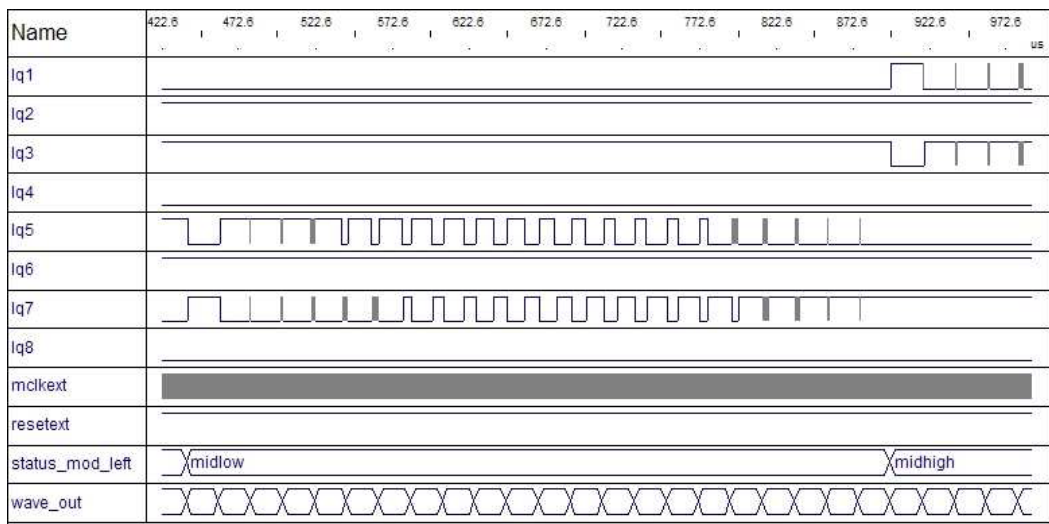


Figura 4.10. Simulació de la modulació de 5 nivells en l'estat Mid High – Mid Low.

4.2.4. Generador de temps mort

o *Descripció del bloc*

Tal com es va explicar a l'apartat 2.2.4. aquest mòdul s'encarrega d'assegurar el retard en la commutació dels transistors de "OFF" a "ON" per evitar situacions destructives degut a combinacions prohibides dels commutadors ja que els transistors que estan connectats i es desconnecten ho fan més lentament que a l'inrevés. El temps mort aplicat correspon a la següent expressió:

$$t_{DEATHTIME} = \frac{1}{f_{clk}} \cdot Deathtime \cdot (2^{nbits}) \tag{4.8}$$

On "Deathtime" és una constant. La Figura 4.11. mostra un exemple del retard provocat en diferents *Duty's*.

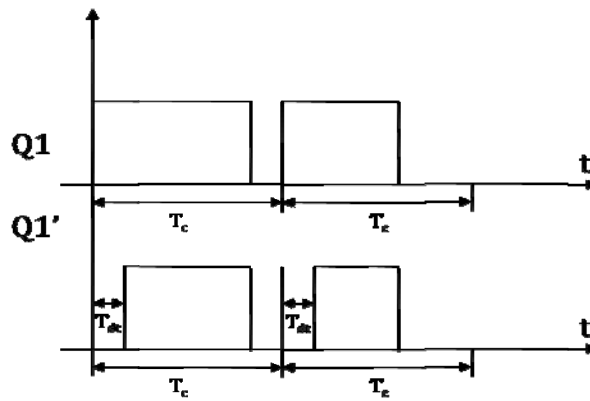


Figura 4.11. Cronograma de l'engegada dels transistors sense (dalt) i amb temps mort (baix).

○ *Simulacions*

Juntament en aquest apartat es mostra una simulació del correcte funcionament del mòdul generador de temps mort, per una freqüència de rellotge de 12,288 MHz i un valor de Deathtime de 0x07 corresponent a 560ns.

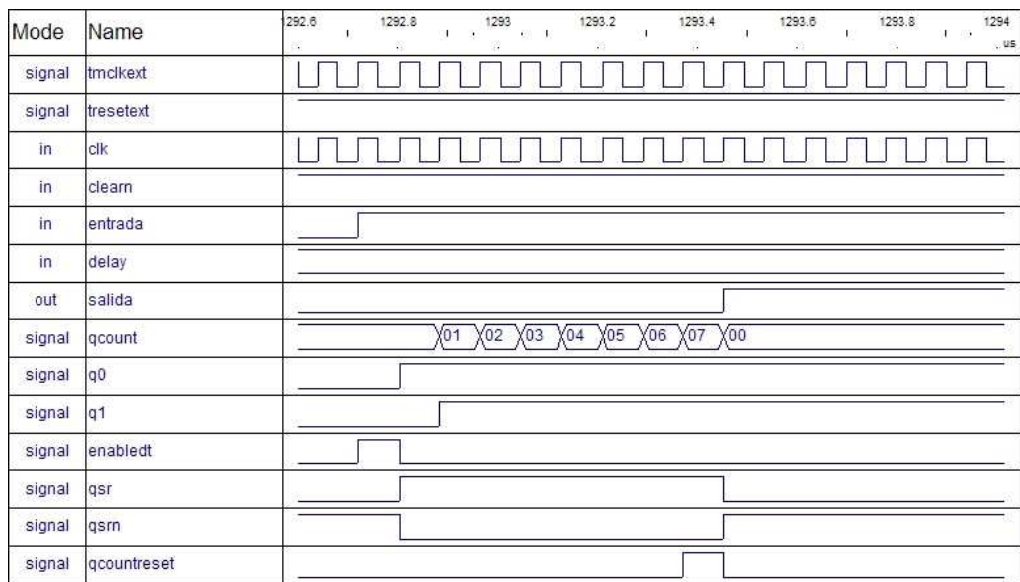


Figura 4.12. Simulació del mòdul de generació de temps mort.

